

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63062426 A**(43) Date of publication of application: **18.03.88**

(51) Int. Cl

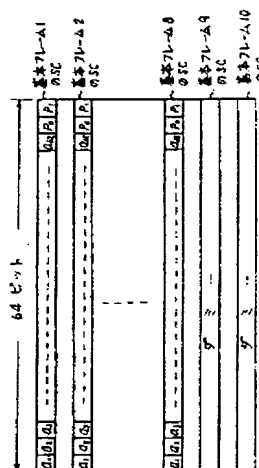
**H04J 3/00****H04B 7/15****H04L 1/08**(21) Application number: **61206478**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **02.09.86**(72) Inventor: **SATO TAKASHI**(54) **MAJORITY DECISION DISCRIMINATING METHOD**

COPYRIGHT: (C)1988,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To improve the reliability of a system by sending a control signal outputted from a reference station into a basic frame for plural number of times repetitively in a TDMA satellite communication system and allowing a slave station side receiving the signal to apply majority decision to each bit of the control signal.

**CONSTITUTION:** One frame in the TDMA system consists of, e.g., 10 basic frames and each basic frame is a burst of a reference station and, e.g., 10 data burst. The burst of the reference station has a pre-word and an SC part of the control signal. An odd number parity  $P_0$  and an even number parity  $P_1$  are added to the control signal SC comprising bits  $a_1 @ a_{62}$ . The control signal SC is constituted by the original control signals  $a_1, a_2 @ a_{62}, P_0, P_1$  in this order and, e.g., the 8 basic frames are sent repetitively. The remaining 2 basic frames are dummy. The slave station side receiving them applies majority decision to each bit.



This page blank (uspto)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-62426

⑮ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)3月18日

H 04 J 3/00  
H 04 B 7/15  
H 04 L 1/08

6914-5K  
7323-5K  
8732-5K

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 多数決判定方法

⑯ 特 願 昭61-206478

⑰ 出 願 昭61(1986)9月2日

⑱ 発 明 者 佐 藤 隆 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015

⑳ 代 理 人 弁理士 山谷 略榮

#### 明 細 書

1. 発明の名称 多数決判定方法

2. 特許請求の範囲

(1) 複数の基本フレームにより1フレームを構成し、基本フレームに制御信号を配置したTDMA通信方式において、

送信側は同一の制御信号( $a_1, \dots, a_{23}, p_0, p_1$ )を複数の基本フレームに分散して配置して送信し、

受信側は1フレーム内の前記複数の基本フレームの制御信号を形成するビット毎の「1」あるいは「0」の数を計数して、これにもとづき判定を行うようにしたことを特徴とする多数決判定方法。

(2) 初期値がその一方に印加されるセレクト手段を設け、この初期値を付加して計数するようにしたことを特徴とする特許請求の範囲第1項記載の多数決判定方法。

3. 発明の詳細な説明

(目 次)

概 要

産業上の利用分野

従来の技術(第5図, 第6図, 第7図)

発明が解決しようとする問題点

問題点を解決するための手段(第1図)

作 用

実施例

(1) 第一実施例(第2図)

(2) 第二実施例(第3図, 第4図)

発明の効果

(概 要)

TDMA衛星通信方式において、基準局から出力される複数基本フレームに繰返して送出される制御信号を受信するとき受信側で多数決によりその制御信号の各ビットを判定し、制御信号を正確に判読するようにしたものである。

## ( 産業上の利用分野 )

本発明は多数決判定方法に係り、特にT D M A ( Time Division Multiple Access ) 衛星通信方式において基準局から出力される制御信号を複数回の基本フレームに繰返して送出し、それを受信する従局側でこの制御信号の各ビットを多数決判定を行うようにしたものに關する。

T D M A 衛星通信では、空中のノイズや降雨等により、データが誤つて受信されることが多いので誤り訂正などを施し、データの信頼性を向上させる対策をとっている。特に基準局が従局を制御する為の基準局バースト内の制御信号に対しては、従局において誤り訂正の後にさらに多数決判定をするなどしてシステムの信頼性の向上をはかっている。

## ( 従来の技術 )

T D M A 方式では、例えば第5図に示す如きフレーム構成が行われている。

例えば1フレームを10個の基本フレーム1、

できる。

このために、従来では、第6図(a)に示す如く、ビット  $a_1 \sim a_8$  により形成される制御信号 S C を、その奇数ビットに対するパリティ ( 例えば奇パリティ )  $P_0$ 、偶数ビットに対するパリティ  $P_1$  の64ビットで構成し、これを送信するとき、第6図(b)に示す如く、同一ビットを8回連続して各基本フレーム1～10における基準局バーストの制御信号 S C 部分に挿入する。

したがつて、基本フレーム1の制御信号 S C は、 $a_1 \sim a_8$  が8個連続した状態で構成され、基本フレーム2の制御信号 S C は  $a_9 \sim a_{16}$  が8個連続した状態で構成される。このように制御信号1ビットを8ビットに展開して連続して送信するので、8基本フレームで全てのビットが送出でき、残りの2基本フレームはダミーとなる。

これを受信する従局側は8基本フレーム送られてきた制御信号を多数決判定して残り2基本フレームの間に種々の処理を行うことになる。ここで多数決判定は8ビット中の「1」の数が5ビット

2…10で構成し、各基本フレームを基準局バースト R と例えば10個のデータバースト D で構成する。基準局バースト R は前置語 P R W と制御信号 S C 部分を有する。この前置語 P R W は同期用のものでありクロック再生信号や基準局バーストのユニークワード  $U W_0$  が配置される。また制御信号 S C は同期用や監視用等に使用される。

またデータバースト  $D_1 \sim D_{10}$  は、前置語 P R W とデータ D A T A 部分により構成される。このデータバーストにおける前置語 P R W にはこれまたクロック再生信号とデータバーストとしてのユニークワード  $U W_1$  が含まれている。

ところで実際の通信信号であるデータ D A T A は、第5図の例では1フレームで100データバースト、しかも1つのデータバーストで数100～数1000ビット送信されるが、前記制御信号 S C は1フレームで数10ビットあれば充分である。そこで同一ビットを数回送つて受信側で多数決判定をすれば非常に有効であり、簡単な回路構成で誤り訂正ができ、システムの信頼性を増すことが

以上だつた場合「1」と判定し、3ビット以下だつた場合「0」と判定し、4ビットの場合は「1」か「0」か明確でないので無効と判定する。

前記第6図(b)に示した制御信号を多数決判定するために、従来では、第7図に示す如く、受信したシリアルデータ  $a_1, a_1 \dots a_1, a_2, a_2 \dots a_2$  は、シリアル・パラレル変換器11で8ビット毎にパラレル変換して多数決判定 R O M ( Read Only Memory ) 12のアドレスとなる。この多数決判定 R O M 12はアドレス8ビット中の「1」のビットの数による前記多数決判定結果をデータとした多数決判定テーブルで構成されており、出力データは2ビットである。そのうち1ビットは「1」か「0」かの判定結果であり、もう1ビットは有効、無効の判定結果である。

有効、無効判定結果はJ-Kフリップフロップ14に入り、1フレーム中1度でも無効と判定するとそのフレームの多数決判定結果も無効となり、以後の処理に使用される。また「1」か「0」か判定されたデータは8基本フレームかゝつて64

ビット次々にFIFO (First In First Out) メモリ13に書き込まれ、基本フレーム9及び基本フレーム10のダミー時間内で読み出して処理される。

#### 〔発明が解決しようとする問題点〕

ところで、第6図および第7図に示した方式では、展開された8ビット中3ビット誤つても訂正可能であり、また4ビット誤つた場合は無効となり、5ビット以上誤まることにより間違つて判定されてもパリティチェックにより誤り検出可能であるため、第7図に示す如き簡単な回路構成でかなり信頼性の高いシステムを作ることが可能であるが、バースト的な誤りに対しては欠点がある。例えば第6図において基本フレーム1の制御信号全体にわたつて誤つたとすれば $a_1 \sim a_8$ ビットは誤り訂正不可能であり、誤りを検出できない可能性も高い。

したがつて本発明の目的は、このようなバースト的な誤りに対しても誤り訂正可能な多数決判定

方法を提供することである。

#### 〔問題点を解決するための手段〕

前記目的を達成するため、本発明では、第1図に示す如く、1基本フレーム中における制御信号SCを、原制御信号 $a_1, a_2, \dots, a_{10}, p_0, p_1$ の並びのまゝで構成し、それを例えば8基本フレーム繰返して送出する。残りの2基本フレームは、従来と同様にダミーとする。

これを受信する従局側は8基本フレーム送られてきた制御信号を残りの2基本フレームのダミービットの間に、各ビット毎に多数決判定をしているような処理を行なうことになる。多数決判定の基準は従来の場合と同じである。

#### 〔作用〕

この第1図の方式にすれば、バースト的な誤り、例えば3基本フレームの間誤まつたとしても誤り訂正が可能となり、非常に信頼性を高くすることができる。

#### 〔実施例〕

##### (1) 第一実施例

本発明の一実施例を第2図により説明する。

第2図において、1はアドレスカウンタ、2はRAM (Random Access Memory)、3はクリア信号出力部、4はカウンタ、5は判定回路である。

アドレスカウンタ1はRAM 2へのアドレスを作成するものであり、基本フレームを示す基本フレームタイミング信号により起動される。この例では制御信号SCが84ビットであるので8ビットの出力を発生する。

RAM 2はカウンタ4で計数された「1」の数が記入されるものであり、アドレス0には8個の $a_1$ を構成する「1」の数が記入され、アドレス63には8個の $a_8$ の「1」の数が記入される。例えば $a_1$ の真のデータが「1」の場合、空中ノイズ等がなく、基本フレーム1～基本フレーム8の $a_1$ がすべて「1」であればアドレス0には数値8が記入される。しかし空中ノイズ等のため「0」が3つ混在し「1」の数が5のとき数値5が記入さ

れる。

クリア信号出力部3は1フレームの最初にRAM 2をクリアするRAMクリア信号を出力するとともに、基本フレームタイミング信号をカウントするものであつて、1フレームの最初を示すフレームタイミングが印加されたとき、このRAMクリア信号を出力する。そして別に基本フレームタイミング信号をカウントし、9回カウントしたとき判定回路5を起動させる。

カウンタ4はRAM 2より出力された数値に受信データが「1」のとき+1を行うものである。このカウンタ4の受信データには各基本フレームの制御信号SCが順次印加される。

判定回路5はRAM 2の出力が「1」か「0」かを判定するのみならず有効無効をも判定するものであり、「1」が5個以上のとき「1」と判定し、「1」が4個以下のとき「0」と判定する。さらに「1」が4個のときは無効と判定する。

次に第2図に示す第一実施例の動作について説明する。

① 1フレームの区切り、すなわち1フレームの最初を示すフレームタイミングが入力されると、クリア信号出力部3はRAMクリア信号を出力しRAM5はクリアされる。アドレスカウンタ1に基本フレーム1の最初を示す基本フレームタイミングが印加されるとアドレスカウンタ1は0, 1, 2...63を順次出力する。このアドレスカウンタ1が0を出力するとき、カウンタ4には基本フレーム1の受信データ $a_1$ が印加される。もし $a_1$  = 「1」のときカウンタ4は1を計数し、RAM2のアドレス0には1が記入される。このようにしてアドレスカウンタ1が0~63をカウントしたとき受信データ $a_1 \sim p_1$ の1, 0に応じてRAM2のアドレス領域に1, 0が記入される。

② 次に基本フレーム2の最初を示す基本フレームタイミングがアドレスカウンタ1に印加されると、アドレスカウンタ1は再び0~63を出力し、RAM2のアドレス0~63に記入された1, 0をカウンタ4に出力する。いま $a_1$  = 「1」であれば基本フレーム2の $a_1$ も「1」であるので、カ

ウンタ4は $1 + 1 = 2$ をカウントしてこの2をアドレス0に記入する。しかし空中ノイズがあれば1と0は変わることもあるので、その受信データの「1」, 「0」が同一ビット毎にRAM2に累計される。このようにしてRAM2には基本フレーム1~8の $a_1 \sim p_1$ の「1」の個数が同一ビット毎に保持される。

③ そして基本フレーム9に対する基本フレームタイミングがクリア信号出力部3に入力されたとき、クリア信号出力部3は判定回路5を起動させる。そしてアドレスカウンタ1から出力されるアドレス0~63に応じてRAM2の出力を判定回路5が前記多数決判定する。そして「1」が4個のときに無効信号を出力し、他のとき有効信号を出力する。

このようにして、比較的簡単な回路で、基準局からの制御信号についてバースト誤りをも訂正可能でありシステムの信頼性を向上することが可能となる。

## (2) 第二実施例

本発明の第二実施例を第3図および第4図にもとづき説明する。

第3図において第2図と同符号部分は同一部分を示し、6はRAM、7はセクタ、8は基本フレームゲート発生回路、9は判定回路である。

RAM6は、第2図におけるRAM2と同様に制御信号SCの各ビット毎の「1」の数が記入されるが、実際の数に「0011」つまり3を加算したデータが記入される。また基本フレーム1のデータが「0」であつても初期値「0011」が記入されるので、初期にクリアする必要はない。

セクタ7はRAM6から読出されたデータと、初期値「0011」のいずれか一方を出力してこれをカウンタ4に印加するものである。

基本フレーム1ゲート発生回路8は1フレームにおける基本フレーム1の間セクタ7が初期値「0011」を選択出力するような制御信号と、前記第一実施例と同様に基本フレームタイミングをカウントして基本フレーム9に対する基本フレ

ームタイミングが入力されたとき判定回路9を動作させる制御信号を出力する。

判定回路9はRAM6に記入された $a_1 \sim p_1$ を多数決判定により「1」か「0」かに判定するとともに、その有効か無効かを示す判定結果をも出力するものである。以下、第4図を参照しながらその動作について説明する。前記の如く、初期値として「0011」つまり3が付加されているので、特定のビットが1か0かを判定するとき受信データに「1」が5以上のとき「1」、4のとき無効と判定する場合、 $5 + 3 = 8$ のとき「1」、 $3 + 4 = 7$ のとき無効と判定する。ところで8は「1000」でありしたがって最上位ビットが「1」のとき「1」と判定することができ、「0」のとき「0」と判定することができる。また $7 = 「0111」$ のため、下位3ビットがオール「1」のとき、つまり下位3ビットのAND出力が「1」のとき無効と判定することができる。

まず基本フレーム1の間は、基本フレーム1ゲート発生回路8の出力によりセクタ7が初期値

「0011」を出力してカウンタ4にこれを送出する。したがって基本フレーム1の制御信号SCに対しては、この初期値「0011」が付加されて、その受信データ $a_1 \sim p_1$ の「1」についてはさらに+1され、「0」についてはそのままRAM6の $a_1 \sim p_1$ のそれぞれの番地、つまりアドレスカウンタ1により発生された0～63の番地に記入されることになる。このRAM6のアドレスは、基本フレームタイミングでリセットされる前記アドレスカウンタ1により発生される。基本フレーム2以降は、前の結果をRAM6から読出しこれをセクタ7で選択してカウンタ4にロードし、受信データの「1」のときにはさらに+1し、「0」のときにはそのままRAM6に記入する。

このようにして基本フレーム8までにカウントされた結果がRAM6より読出され、これが基本フレーム9のとき基本フレーム1ゲート発生回路8より出力される起動信号により起動される判定回路9により判定される。なおセクタ7のセレクト信号すなわち基本フレーム1ゲート信号は基

本フレームタイミングとフレームタイミングより作成され、4個の2入力NANDゲートでこれを得ることができる。また判定回路9は1個のインバータと1個の4入力NANDで構成できる。

なお前記各実施例では制御信号のビットの「1」の数をカウントするようにした例について説明したが、勿論「0」の数をカウントしてもよい。

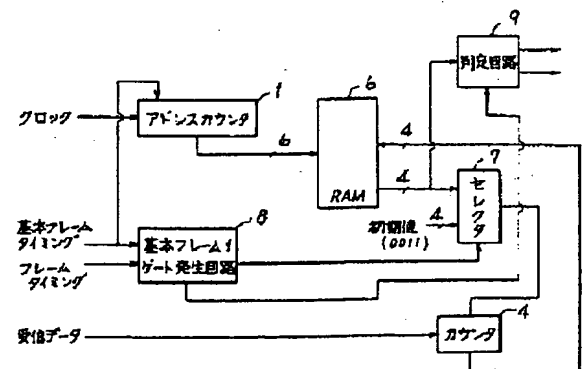
#### 〔発明の効果〕

本発明によればTDM A衛星通信方式において基準局からの制御信号を、同じビットを複数連続して送出してそれを多数決判定するものとは異なり、1基本フレームにおけるビットの並びは原信号のままにしてそれを数基本フレーム繰返して送出して従局で受信し、多数決判定することができるので、パースト的な誤りに対してもこれを訂正することができ、システムの信頼性を向上することができる。

#### 4. 図面の簡単な説明

- 第1図は本発明の原理説明図、  
第2図は本発明の一実施例構成図、  
第3図は本発明の第二実施例構成図、  
第4図は第二実施例の動作説明図、  
第5図はTDM Aフレーム構成図、  
第6図は従来の多数決判定方式説明図、  
第7図は従来の多数決判定回路を示す。

- 1…アドレスカウンタ、  
2…RAM、  
3…クリア信号出力部、  
4…カウンタ、  
5…判定回路、  
6…RAM、  
7…セクタ、  
8…基本フレーム1ゲート発生回路、  
9…判定回路。

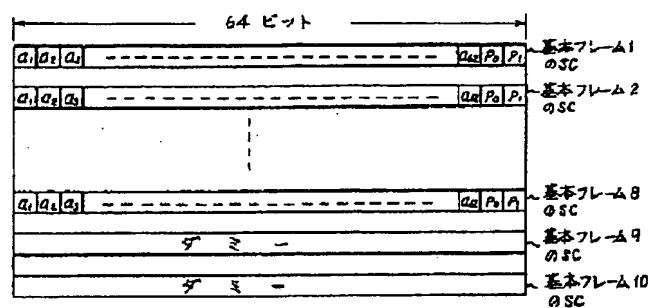


第二実施例  
第3図

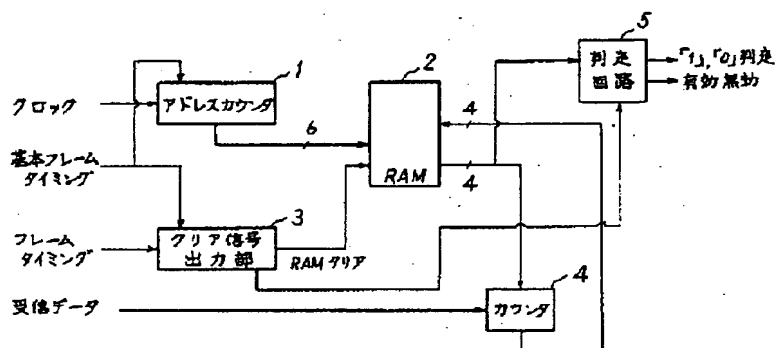
初期値(3) --- 0011  
3+5=8 --- 1000  
3+4=7 --- 0111  
下位3ビット

動作説明図  
第4図

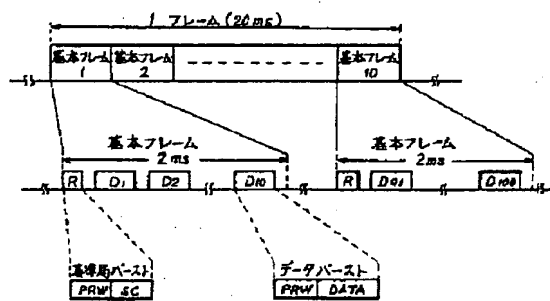
特許出願人 富士通株式会社  
代理人 弁理士 山谷 晴 榮



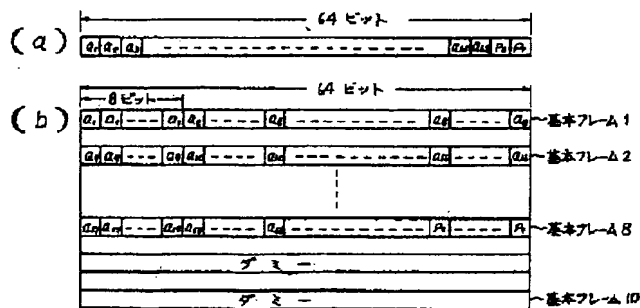
本発明の原理図  
第 1 図



本発明の第一実施例  
第 2 図



TDMA フレーム構成図  
第 5 図



従来の多数決判定法説明図  
第 6 図

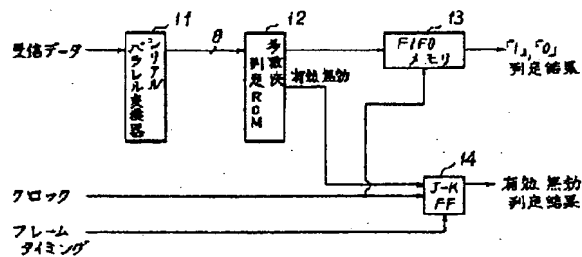


图 7-10